

日 本 国 特 許 庁
JAPAN PATENT OFFICE

PCT/JP03/12583
REC'D 24 OCT 2003
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年10月 9日

出 願 番 号
Application Number: 特願2002-296001
[ST. 10/C]: [JP2002-296001]

出 願 人
Applicant(s): シャープ株式会社

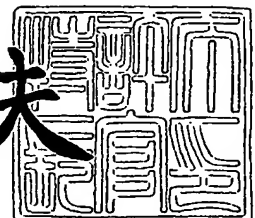
Best Available Copy

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 184949

【提出日】 平成14年10月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00
G11C 7/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柴田 晃秀

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板、半導体基板内に設けられたウェル領域または絶縁体上に配置された半導体膜のうちのいずれか 1 つの第 1 導電型の半導体部材と、

上記第 1 導電型の半導体部材上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成されたゲート電極と、

上記ゲート電極の両側に夫々形成された電荷保持部と、

上記電荷保持部に対応する上記第 1 導電型の半導体部材の領域に夫々形成された第 2 導電型の拡散層領域と、

上記ゲート電極下に配置されたチャネル領域とを備え、

上記電荷保持部は、上記電荷保持部に保持された電荷の多寡に応じて、上記ゲート電極に電圧を印加したときに上記チャネル領域を介して上記第 2 導電型の拡散層領域の一方から他方に流れる電流量を変化させると共に、

上記電荷保持部の一部は、上記ゲート絶縁膜と上記チャネル領域との界面よりも下に存することを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

上記電荷保持部は、

電荷を保持する機能を有する第 1 の絶縁膜と、

上記第 1 の絶縁膜と上記ゲート電極、チャネル領域および拡散層領域を隔てることにより上記第 1 の絶縁膜に保持された電荷の散逸を防ぐ機能を有する第 2 の絶縁膜とを有することを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 に記載の半導体記憶装置において、

上記電荷保持部は、

電荷を保持する機能を有する第 1 の絶縁膜と、

上記第 1 の絶縁膜を挟むように形成され、上記第 1 の絶縁膜に保持された電荷の散逸を防ぐ機能を有する第 2 の絶縁膜とを有することを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 または 3 に記載の半導体記憶装置において、
上記第 1 の絶縁膜がシリコン窒化膜であり、上記第 2 の絶縁膜がシリコン酸化膜であることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 つに記載の半導体記憶装置において、

上記ゲート絶縁膜と上記チャネル領域との界面と、その界面と略平行でかつ上記電荷保持部の最下部を通る面との距離が 4 nm～15 nmであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタを有する半導体記憶装置に関する。

【0002】

【従来の技術】

従来、半導体記憶装置としては、1つの電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリがある(例えば、特許文献1参照)。この不揮発性メモリの構造と、書き込み動作原理を以下に説明する。

【0003】

上記不揮発性メモリは、図11に示すように、P型ウェル領域901上にゲート絶縁膜を介して形成されたゲート電極909、P型ウェル領域901表面に形成された第1のN型拡散層領域902および第2のN型拡散層領域903から構成される。上記ゲート絶縁膜は、シリコン酸化膜904、905の間にシリコン窒化膜906が挟まれた、いわゆるONO(Oxide Nitride Oxide)膜からなる。上記シリコン窒化膜906中には、第1および第2のN型拡散層領域902、903の端部付近に、それぞれ記憶保持部907、908が形成されている。上記記憶保持部907、908のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの情報を記憶させることができる。

【0004】

次に、この不揮発性メモリにおける書込み動作方法を説明する。ここで、書込みとは、記憶保持部907, 908に電子を注入することを指すこととする。特許文献1では、右側の記憶保持部908に電子を注入させるために、第2の拡散層領域903に5.5Vを、ゲート電極909に10Vを印加する方法が開示されている。これにより、2つある記憶保持部の特定の側に書込みをすることができる。特定の側の消去および読み出しを行う方法も開示されており、これらの方法を総合して2ビット動作が可能となっている。

【0005】

【特許文献1】

特表2001-512290号公報

【0006】

【発明が解決しようとする課題】

ところで、上記不揮発性メモリでは、ゲート絶縁膜は、トランジスタを動作させるための機能と、電荷を蓄積するメモリ膜としての機能を併せ持たせるために、ONO膜の3層構造となっている。そのため、上記不揮発性メモリでは、ゲート絶縁膜の薄膜化が難しく、素子の微細化が困難であるという問題がある。また、上記不揮発性メモリでは、チャンネル長が短くなるにつれ、1つのトランジスタの記憶保持部907, 908の2箇所が互いに干渉して2ビット動作が困難になるため、さらなる素子の微細化が果たせなかった。

【0007】

そこで、この発明の目的は、1つのトランジスタで2ビット以上の記憶保持動作が可能でかつ微細化が容易な半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するため、この発明の半導体記憶装置は、半導体基板、半導体基板内に設けられたウェル領域または絶縁体上に配置された半導体膜のうちのいずれか1つの第1導電型の半導体部材と、その第1導電型の半導体部材上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記ゲ

ート電極の両側に夫々形成された電荷保持部と、上記電荷保持部に対応する第1導電型の半導体部材の領域に夫々形成された第2導電型の拡散層領域と、上記ゲート電極下に配置されたチャンネル領域とを備える。そして、上記電荷保持部は、電荷保持部に保持された電荷の多寡に応じて、ゲート電極に電圧を印加したときにチャンネル領域を介して第2導電型の拡散層領域の一方から他方に流れる電流量を変化させると共に、上記電荷保持部の一部は、ゲート絶縁膜とチャンネル領域との界面よりも下に存している。ここで、電荷保持部とは、電子または正孔を注入、抜取りが可能な機能を有するものである。

【0009】

上記構成の半導体記憶装置によれば、上記電荷保持部の電荷量の変化を電流量に変換することによりメモリ素子として動作させる。上記ゲート電極の両側に形成された2つの電荷保持部は、上記ゲート絶縁膜とは独立しているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャンネル効果を抑制することが容易にできる。また、ゲート電極の両側に形成された2つの電荷保持部は、ゲート電極により分離されているので書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。したがって、1つのトランジスタで2ビット以上の記憶保持動作が可能でかつ微細化が容易な半導体記憶装置を実現できる。

【0010】

さらには、上記電荷保持部の一部は、上記ゲート絶縁膜とチャンネル領域とがなす界面よりも下に存するため、書込み動作時において高エネルギーの電荷の進行方向に電荷保持部が存することになる。そのため、電荷保持部への電荷注入効率が著しく向上し、書込み動作の速度を飛躍的に向上することができる。もしくは、書込み時の電流を小さくした場合は、書込み時の消費電力を低減することができる。

【0011】

また、一実施形態の半導体記憶装置は、上記電荷保持部は、電荷を保持する機能を有する第1の絶縁膜と、上記第1の絶縁膜と上記ゲート電極、チャンネル領域

および拡散層領域を隔てることにより上記第1の絶縁膜に保持された電荷の散逸を防ぐ機能を有する第2の絶縁膜とを有している。

【0012】

上記実施形態の半導体記憶装置によれば、上記第1の絶縁膜に保持された電荷が散逸するのを、上記第2の絶縁膜により効果的に防ぐことができる。したがって、保持特性の良い半導体記憶装置が提供される。

【0013】

また、一実施形態の半導体記憶装置は、上記電荷保持部は、電荷を保持する機能を有する第1の絶縁膜と、上記第1の絶縁膜を挟むように形成され、上記第1の絶縁膜に保持された電荷の散逸を防ぐ機能を有する第2の絶縁膜とを有している。

【0014】

上記実施形態の半導体記憶装置によれば、上記電荷保持部に注入された電荷は、上記第2の絶縁膜によりブロックされて、上記第1の絶縁膜に効率よく蓄積する。したがって、電荷保持部への電荷注入効率が上がり、書換え動作(書込みおよび消去動作)の高速化が実現する。

【0015】

また、一実施形態の半導体記憶装置は、上記第1の絶縁膜がシリコン窒化膜であり、上記第2の絶縁膜がシリコン酸化膜であることを特徴としている。

【0016】

上記実施形態の半導体記憶装置によれば、電荷をトラップする準位が多数存在するシリコン窒化膜を第1の絶縁膜として用い、バンドギャップが大きいシリコン酸化膜を第2の絶縁膜として用いるため、大きなヒステリシス特性を有し、保持特性の優れた半導体記憶装置が提供される。さらには、シリコン窒化膜およびシリコン酸化膜ともにLSIプロセスでごく標準的に用いられる材料であり、製造が容易であるという利点を有する。

【0017】

また、一実施形態の半導体記憶装置は、上記ゲート絶縁膜とチャネル領域との界面と、その界面と略平行でかつ上記電荷保持部の最下部を通る面との距離を4

nm～15nmとしている。

【0018】

上記実施形態の半導体記憶装置によれば、上記電荷保持部とゲート絶縁膜との位置関係を最適化し、半導体記憶装置の動作速度を十分高速に保つことができる。

【0019】

【発明の実施の形態】

以下、この発明の半導体記憶装置を図示の実施の形態により詳細に説明する。

【0020】

まず、この発明の半導体記憶装置を構成するメモリ素子を説明するにあたり、この発明を適用するメモリ素子の基本構造を図1および図2を用いて説明する。

【0021】

図1はメモリ素子の概略断面図を示している。図1に示すように、上記メモリ素子は、2ビットの記憶が可能な不揮発性メモリセルとして、第1導電型の半導体部材の一例としての半導体基板11上に、ゲート絶縁膜12を介して通常のトランジスタと同程度のゲート長を有するゲート電極13を形成しており、ゲート絶縁膜12およびゲート電極13の側壁に、サイドウォールスペーサ形状の電荷保持部10A, 10Bを形成している。また、電荷保持部10A, 10Bに対応する半導体基板11の領域にかつゲート電極13と反対の側に、それぞれ第2導電型の第1の拡散層領域17と第2導電型の第2の拡散層領域18を形成している。この第1, 第2の拡散層領域17, 18(ソース/ドレイン領域)は、ゲート電極13の端部に対して(ゲート電極13が形成された領域41から)オフセットされている。

【0022】

このように、上記メモリ素子の電荷保持部10A, 10Bは、ゲート絶縁膜12とは独立して形成されている。したがって、電荷保持部10A, 10Bが担うメモリ機能と、ゲート絶縁膜12が担うトランジスタ動作機能とは分離されている。また、ゲート電極13の両側に形成された2つの電荷保持部10A, 10Bは、ゲート電極13により分離されているので、書換え時の干渉が効果的に抑制される。

。したがって、このメモリ素子は、2ビット以上の記憶が可能で、かつ微細化が容易にできる。

【0023】

また、上記第1, 第2の拡散層領域17, 18がゲート電極13からオフセットされていることにより、ゲート電極13に電圧を印加したとき、電荷保持部10A, 10B下のオフセット領域42の反転しやすさを、電荷保持部10A, 10Bに蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。さらに、ゲート電極13からオフセットされた構造により、通常のロジックトランジスタと比較して、短チャネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

【0024】

図2は、図1のサイドウォールスペーサ形状の電荷保持部10B付近の拡大図である。図2に示すように、電荷保持部10A, 10B(図2では10Bのみを示す)は、サイドウォール形状をした第1の絶縁膜の一例としてのシリコン窒化膜15と、このシリコン窒化膜15とゲート電極13、半導体基板11および第1, 第2の拡散層領域17, 18とを隔てる第2の絶縁膜の一例としてのシリコン酸化膜14とからなる。電荷(電子または正孔)を蓄積する機能を有するのはシリコン窒化膜15であり、シリコン酸化膜14はシリコン窒化膜15に蓄積された電荷の漏れを防いでいる。

【0025】

次に、この発明の半導体記憶装置を構成するメモリ素子の実施形態を、図3～図10を用いて説明する。図3および図4はメモリ素子の第1実施形態およびその一部の拡大図であり、図5は第2実施形態であり、図6は第3実施形態であり、図7, 図8はこれら実施形態における書込み動作を説明する図であり、図9および図10はメモリ素子におけるゲート絶縁膜と電荷保持部との位置関係を説明する図である。

【0026】

図3はこの発明の第1実施形態の半導体記憶装置の一例としてのメモリ素子の概略断面図を示している。この第1実施形態のメモリ素子は、図1に示すメモリ素子の基本構造とは、ゲート絶縁膜と電荷保持部との位置関係において異なっている。すなわち、この第1実施形態のメモリ素子においては、電荷保持部10A, 10Bの一部が、ゲート絶縁膜12と半導体基板11との界面より下に存している。

【0027】

なお、図3に示すメモリ素子において、図1に示すメモリ素子と同一構成部は同一参照番号を付して説明を省略する。

【0028】

図4は、図3のサイドウォールスペーサ形状の電荷保持部10B付近の拡大図である。図4に示すように、電荷保持部10A, 10B(図4では10Bのみを示す)は、サイドウォール形状をしたシリコン窒化膜15と、このシリコン窒化膜15とゲート電極13, 半導体基板11および第1, 第2の拡散層領域17, 18(ソース/ドレイン領域)とを隔てるシリコン酸化膜14とからなる。電荷(電子または正孔)を蓄積する機能を有するのはシリコン窒化膜15であり、シリコン酸化膜14はシリコン窒化膜15に蓄積された電荷の漏れを防いでいる。

【0029】

図5はこの発明の第2実施形態の半導体記憶装置の一例としてのメモリ素子の概略断面図を示しており、上記第1実施形態の図3および図4に示すメモリ素子とは、電荷保持部の構成が異なる。すなわち、図5に示すように、電荷保持部20A, 20Bは、電荷をトラップする機能を有する第1の絶縁膜の一例としてのシリコン窒化膜22が、第2の絶縁膜の一例としてのシリコン酸化膜21, 23に挟まれた構造を有している。

【0030】

なお、図5に示すメモリ素子において、図1に示すメモリ素子と同一構成部は同一参照番号を付して説明を省略する。

【0031】

図6はこの発明の第3実施形態の半導体記憶装置の一例としてのメモリ素子の

概略断面図を示しており、この第3実施形態のメモリ素子は、上記第2実施形態の図5に示すメモリ素子とは基板の構成が異なる。すなわち、図6に示すように、絶縁体層71上に半導体層72が形成された基板を用いている。このような基板となる例としては、SOI基板(絶縁体層71が埋め込み酸化膜に、半導体層72がSOI層にそれぞれ対応)を用いた場合やウェハ貼り合わせ技術を用いた場合がある。

【0032】

なお、図6に示すメモリ素子において、図1に示すメモリ素子と同一構成部は同一参照番号を付して説明を省略する。

【0033】

上記第3実施形態のメモリ素子は、上記第2実施形態のメモリ素子と同様の効果を有している。

【0034】

上記第1～第3実施形態のメモリ素子は、電荷保持部10A, 10B(20A, 20B)の一部が、ゲート絶縁膜12と半導体基板11との界面より下側に存するという特徴を有している。ゲート絶縁膜と電荷保持部をこのように配置することにより得られる効果を以下に説明する。

【0035】

上記第1～第3実施形態のメモリ素子によれば、書込み動作を高速化することができる。ここで書込み動作とは、メモリ素子がN型である場合は電荷保持部に電子を注入することであり、メモリ素子がP型である場合は電荷保持部に正孔を注入することとする。

【0036】

次に、上記第1～第3実施形態のメモリ素子の書込み方法について、図7, 図8を用いて説明する。なお、書込み方法は、基本構造を有するメモリ素子であっても、そのいずれの実施形態であっても共通である。このメモリ素子の書込み方法は、ドレイン電界により加速された電子を電荷保持部に注入することにより行う。

【0037】

まず、第2の電荷保持部20Bに電子を注入する(書込む)ためには、図7に示すように、第1の拡散層領域17をソース電極とし、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17および半導体基板11に0V、第2の拡散層領域18に+5V、ゲート電極13に+2Vを印加すればよい。このような電圧条件によれば、反転層31が、第1の拡散層領域17(ソース電極)から伸びるが、第2の拡散層領域18(ドレイン電極)に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域18(ドレイン電極)までドレイン電界により加速され、第2の電荷保持部20B(より正確には第2の電荷保持部20B内のシリコン窒化膜22)に注入されて、書込みが行なわれる。なお、第1の電荷保持部20A近傍では、ドレイン電界により加速された電子が発生しないため、書込みは行なわれない。なお、書込み動作のための電圧は上記に限らず、例えば、第1の拡散層領域17および半導体基板11に0V、第2の拡散層領域18に+10V、ゲート電極13に+5Vを印加した場合も、第2の電荷保持部20Bにホットエレクトロン(熱電子)が注入されて書込みが行なわれた。

【0038】

このようにして、第2の電荷保持部20Bに電子を注入して、書込みを行うことができる。

【0039】

上記第1～第3実施形態のメモリ素子の場合、図1および図2に示す基本構造を有するメモリ素子に比べて極めて効率よく書込み動作を行うことができる。図1および図2に示すメモリ素子では、ピンチオフ点から第2の拡散層領域18に向けて加速された電子のごく一部が上方に散乱されて、第2の電荷保持部10Bに注入される。一方、上記第1～第3実施形態のメモリ素子においては、電子は図7の矢印32の方向に運動し、その多くがそのまま第2の電荷保持部20B内のシリコン窒化膜22に注入される。言い換えれば、ピンチオフ点から加速された電子の殆どは、矢印32の向きに大きな運動量を持つため、シリコン酸化膜21を通過してシリコン窒化膜22に注入される電子の数が飛躍的に大きくなるのである。

【0040】

このように、上記第1～第3実施形態のメモリ素子においては、書込み動作の効率が著しく向上するため、書込み動作の速度を飛躍的に向上することができる。もしくは、書込み時の電流を小さく場合、半導体記憶素子の書込み時の消費電力を低減することができる。

【0041】

一方、第1の電荷保持部20Aに電子を注入する(書込む)ためには、図8に示すように、第2の拡散層領域18をソース電極とし、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18および半導体基板11に0V、第1の拡散層領域17に+5V、ゲート電極13に+2Vを印加すればよい。この場合、電子は矢印33の方向に運動して、第1の電荷保持部20A内のシリコン窒化膜22に注入される。このように、第2の電荷保持部20Bに電子を注入する場合とは、ソース/ドレイン領域を入れ替えることにより、第1の電荷保持部20Aに電子を注入して、書込みを行うことができる。

【0042】

なお、上記第1実施形態のメモリ素子では、電荷を蓄積する機能を有するシリコン窒化膜15と、ゲート電極13、半導体基板11および拡散層領域17, 18とは、シリコン酸化膜14で隔てられている。このシリコン酸化膜14は、シリコン窒化膜15に蓄積された電荷が散逸するのを防いでいる。シリコン酸化膜14の厚さは、4nm以上であるのが好ましい。なぜなら、シリコン酸化膜14の厚さが4nm未満の場合、電荷のトンネル効果が顕著になり、メモリ素子の保持時間が短くなるためである。

【0043】

また、上記第2, 第3実施形態のメモリ素子では、電荷保持部20A, 20Bは、電荷をトラップする機能を有する第1の絶縁膜としてのシリコン窒化膜22が、第2の絶縁膜としてのシリコン酸化膜21, 23に挟まれた構造を有している。このため、電荷保持部20A, 20Bに注入された電荷は、シリコン酸化膜23によってブロックされ、シリコン窒化膜22に効率よく蓄積する。このように、電荷保持部20A, 20Bはシリコン窒化膜22がシリコン酸化膜21, 23によって

挟まれた構造を有するため、電荷保持部 20A, 20B への電荷注入効率が上がり、書換え動作(書込みおよび消去動作)の高速化が実現する。

【0044】

また、電荷保持部の構造は、上記第1～第3実施形態(図3～図6)に限らず、例えば、電荷保持部に電荷を蓄積する機能を有するナノメートルサイズの量子ドットが含まれているものでもよい。また、電荷保持部の形状はサイドウォール形状を有している必要はなく、ゲート電極の両側にあつて、その一部が半導体基板およびソース/ドレイン領域に接していればよい。しかしながら、電荷保持部の形状をサイドウォール形状とすれば、通常構造を有するトランジスタのゲート電極サイドウォールと同様に自己整合プロセスを用いて形成することができる。この場合、ロジックトランジスタとメモリトランジスタとで共通のゲート電極サイドウォールを形成することにより容易にロジックメモリ混載LSIを形成することが可能となる。

【0045】

次に、図9および図10を用いてゲート絶縁膜12と電荷保持部20A, 20Bとの好ましい位置関係を説明する。ここで、ゲート絶縁膜12と半導体基板11との界面(第1の面)と、電荷保持部20A, 20Bの下面を含む面(第2の面)との距離をDとする。また、シリコン窒化膜22と拡散層領域17, 18とを隔てるシリコン酸化膜21の厚さをTとする。図3で示す構造のメモリ素子の場合、シリコン窒化膜22と拡散層領域17, 18とを隔てるシリコン酸化膜14の厚さをTとすることができる。このとき、上記第1の面と第2の面の距離Dは、4nm～15nmの範囲にあることが好ましい。以下にその理由を記す。

【0046】

前述のように、シリコン酸化膜の厚さTは4nm以上であるのが好ましい。シリコン酸化膜の厚さTが4nm以上であつて距離Dが4nmに満たない場合、シリコン窒化膜22は、ゲート絶縁膜12と半導体基板11との界面(第1の面)より下には存しないことになる。そのため、書込み動作時にドレイン電界により加速された電子は、直接シリコン窒化膜22に注入されず、書込み動作の効率の低下を招く。したがって、距離Dは4nm以上であることが好ましい。

【0047】

一方、距離Dが15 nm以上となる場合は、ゲート電界が及びにくいために反転層が形成されにくい領域(図9の81, 81で示す領域)が大きくなり、トランジスタの駆動電流が著しく減少する。このことは、主に読み出し動作時間の増大を招く。したがって、距離Dは15 nm以下であることが好ましい。

【0048】

以上の理由により、ゲート絶縁膜12と半導体基板11との界面(第1の面)と、メモリ機能を有する電荷保持部20A, 20Bの下面を含む面(第2の面)との距離Dは、4 nm～15 nmの範囲にあることが好ましく、それにより、電荷保持部20A, 20Bとゲート絶縁膜12との位置関係を最適化し、半導体記憶装置の動作速度を十分高速に保つことができる。

【0049】

ところで、図9ではシリコン酸化膜21が明確なL字型構造となっているが、図10に示すように、丸みを帯びた形状を有していても良い。この場合の距離Dは、ゲート絶縁膜12と半導体基板11との界面(第1の面)と、その界面と略平行でかつ電荷保持部10A, 10Bの最下部を通る面(第2の面)との距離として規定される。シリコン酸化膜21が丸みを帯びることにより、尖部における電界集中を防止して素子特性の改善および素子の信頼性を向上することができる。

【0050】

このように、上記実施の形態の半導体記憶装置としてのメモリ素子によれば、メモリ素子の電荷保持部は、ゲート絶縁膜とは独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット以上の記憶保持動作が可能である。さらには、各電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって、素子の微細化が容易となる。

【0051】

また、上記実施の形態の半導体記憶装置としてメモリ素子によれば、書込み動

作時において高エネルギーの電荷の進行方向に電荷保持部が存するため、電荷保持部への電荷注入効率が著しく向上し、書込み動作の速度を飛躍的に向上することができる。また、書込み時の電流を小さくして、半導体記憶素子の書込み時の消費電力を低減することができる。

【0052】

また、この発明の半導体記憶装置は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された電荷保持部と、電荷保持部のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域(拡散層領域)と、ゲート電極下に配置されたチャネル領域とから構成され、1つの電荷保持部に2値またはそれ以上の情報を記憶することにより、4値またはそれ以上の情報を記憶することが可能なメモリ素子として機能する。

【0053】

また、この発明の半導体記憶装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板または多層SOI基板等の種々の基板を用いることができる。なかでもシリコン基板または表面半導体層としてシリコン層が形成されたSOI基板が好ましい。この半導体基板上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わされて、シングルまたはマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。また、半導体基板は、P型またはN型の導電型を有していてもよく、半導体基板には、少なくとも1つの第1導電型(P型またはN型)のウェル領域が形成されていることが好ましい。半導体基板およびウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

【0054】

また、この発明の半導体記憶装置のゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜または積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。

【0055】

また、この発明の半導体記憶装置のゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜または積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャネル領域が形成されるが、チャネル領域は、ゲート電極下のみならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャネル領域が存在する場合には、そのチャネル領域は、ゲート絶縁膜または後述する電荷保持部で覆われていることが好ましい。

【0056】

また、この発明の半導体記憶装置の電荷保持部は、ゲート電極の両側に形成されており、また、半導体基板(ウェル領域、ボディ領域またはソース／ドレイン領域もしくは拡散層領域)上に配置している。ゲート電極の両側の電荷保持部は、電荷を保持する材料(導電体、半導体、電荷をトラップする機能を有する絶縁体)を有している。電荷を保持する材料が導電体または半導体の場合、記憶保持部はさらに電荷の散逸を防ぐ機能を有する絶縁膜を有している。すなわち、電荷を保持する材料は絶縁膜を介してゲート電極および半導体基板と接している。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電体をドット状等に分散させた構造、導電体をゲート電極の側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。電荷を保持する材料が電荷をトラップする機能を有する絶

縁体である場合、電荷を保持する材料は直接ゲート電極および半導体基板と接しても良い。しかしながら、電荷を保持する材料は電荷の散逸を防ぐ機能を有する絶縁膜を介してゲート電極および半導体基板と接するのが好ましい。また、電荷保持部は、ゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。

【0057】

さらに、この発明の半導体記憶装置の電荷保持部は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜で挟まれたサンドイッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動してメモリ素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部(ゲート電極、拡散層領域、チャネル領域、半導体基板)とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドイッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たす電荷保持部としては、上記第1の絶縁体をシリコン窒化膜とし、第2の絶縁体をシリコン酸化膜とするのが特に好ましい。上記シリコン窒化膜は、電荷をトラップする準位が多数存在するため、大きなヒステリシス特性を得ることができる。上記シリコン酸化膜は、バンドギャップが大きく、電荷の散逸を防ぐ高価が特に大きい。また、シリコン酸化膜およびシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。

【0058】

また、この発明の半導体記憶装置のソース/ドレイン領域は、半導体基板またはウェル領域と逆導電型の拡散層領域として、電荷保持部のゲート電極と反対側のそれぞれに配置されている。ソース/ドレイン領域と半導体基板またはウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率よく発生し、より低電圧で高速な動作が可能とな

るからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

【0059】

また、この発明の半導体記憶装置のソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したときの電荷保持膜下のオフセット領域の反転しやすさが電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量はメモリ効果と駆動電流の双方が適切な値となるように決定すればよい。

【0060】

また、この発明の半導体記憶装置のソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいために、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

【0061】

この発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極

、ソース領域、ドレイン領域および半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読み出しの各動作を行う。この発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

【0062】

この発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜(第2の絶縁体)/電荷蓄積膜(第1の絶縁体)/絶縁膜(第3の絶縁体)の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法が挙げられる。このほか、所望の電荷保持部の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

【0063】

【発明の効果】

以上より明らかなように、この発明の半導体記憶装置によれば、ゲート電極の両側に形成された2つの電荷保持部は、ゲート絶縁膜とは独立しているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャンネル効果を抑制するのが容易である。また、ゲート電極の両側に形成された2つの電荷保持部がゲート電極により分離されているので書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。したがって、2ビット以上の記憶保持動作が可能でかつ微細化が容易な半導体記憶装置が提供される。

【0064】

さらには、上記電荷保持部の一部は、上記ゲート絶縁膜とチャネル領域との界面よりも下側に存するため、書込み動作時において高エネルギーの電荷の進行方向に電荷保持部が存する。そのため、電荷保持部への電荷注入効率が著しく向上し、書込み動作の速度を飛躍的に向上することができる。もしくは、書込み時の

電流を小さくして、書込み時の消費電力を低減することができる。

【図面の簡単な説明】

【図 1】 図 1 はこの発明の半導体記憶装置の基本構造を示す要部の概略断面図である。

【図 2】 図 2 は図 1 の一部を拡大した図である。

【図 3】 図 3 はこの発明の第 1 実施形態の半導体記憶装置を示す要部の概略断面図である。

【図 4】 図 4 は図 3 の一部を拡大した図である。

【図 5】 図 5 はこの発明の第 2 実施形態の半導体記憶装置を示す要部の概略断面図である。

【図 6】 図 6 はこの発明の第 3 実施形態の半導体記憶装置を示す要部の概略断面図である。

【図 7】 図 7 は第 2 の電荷保持部への書込み方法を説明するための図である。

【図 8】 図 8 は第 1 の電荷保持部への書込み方法を説明するための図である。

【図 9】 図 9 は上記半導体記憶装置におけるゲート絶縁膜と電荷保持部との位置関係を説明する図である。

【図 10】 図 10 は上記半導体記憶装置におけるゲート絶縁膜と電荷保持部との位置関係を説明する図である。

【図 11】 図 11 は従来の半導体記憶装置を示す要部の概略断面図である。

【符号の説明】

10A, 10B…電荷保持部、

11…半導体基板、

12…ゲート絶縁膜、

13…ゲート電極、

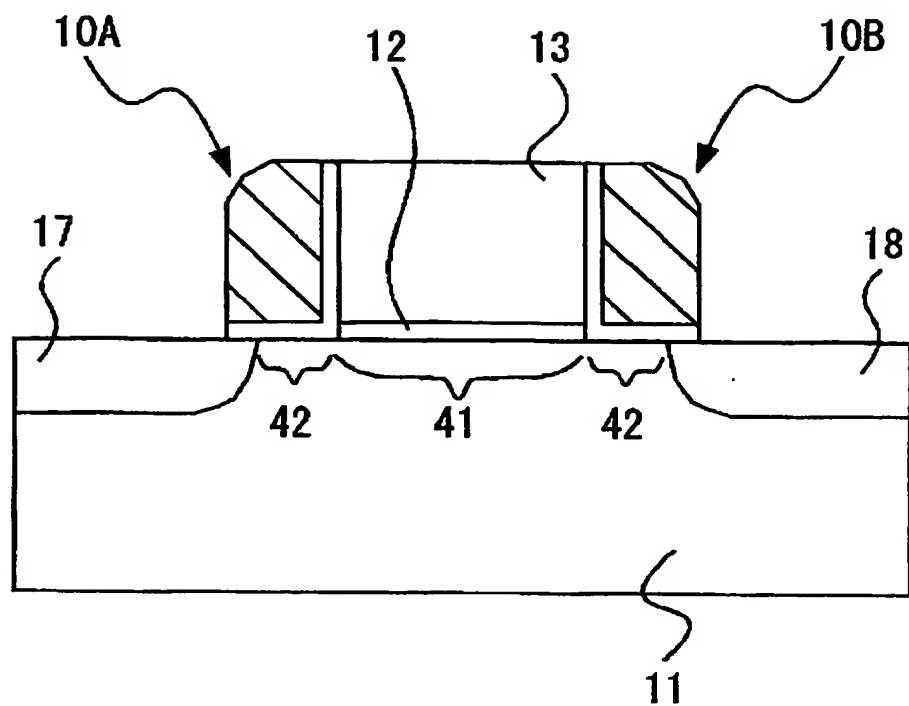
14…シリコン酸化膜、

15…シリコン窒化膜、

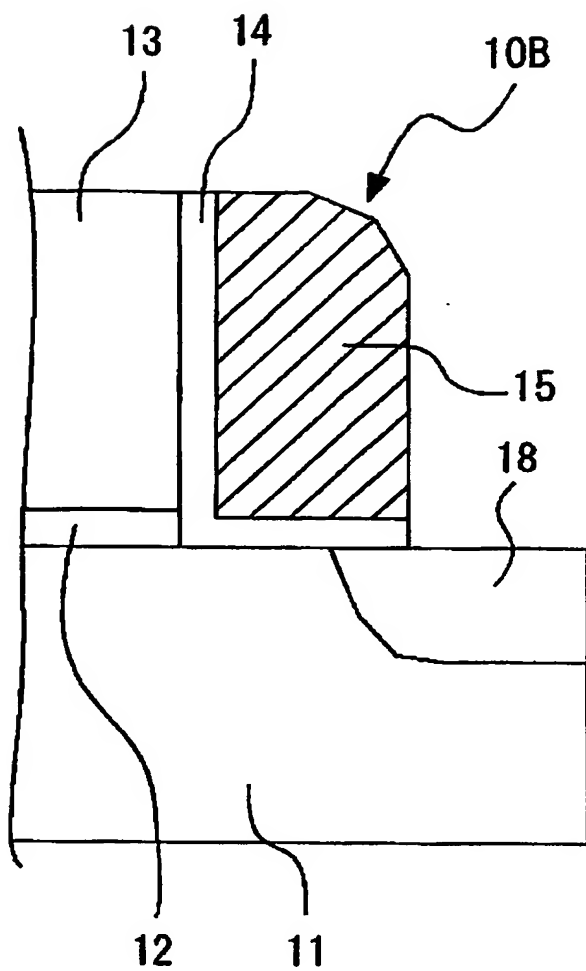
- 1 7…第 1 の拡散層領域、
- 1 8…第 2 の拡散層領域、
- 2 0 A, 2 0 B…電荷保持部、
- 2 1, 2 3…シリコン酸化膜、
- 2 2…シリコン窒化膜、
- 3 1…反転層、
- 7 1…絶縁体層、
- 7 2…半導体層。

【書類名】 図面

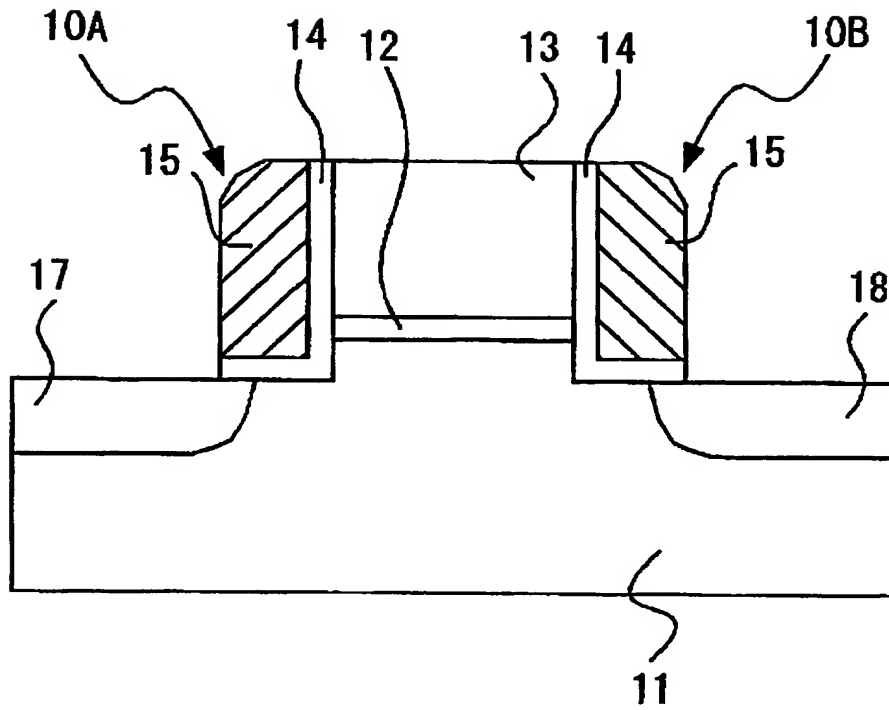
【図 1】



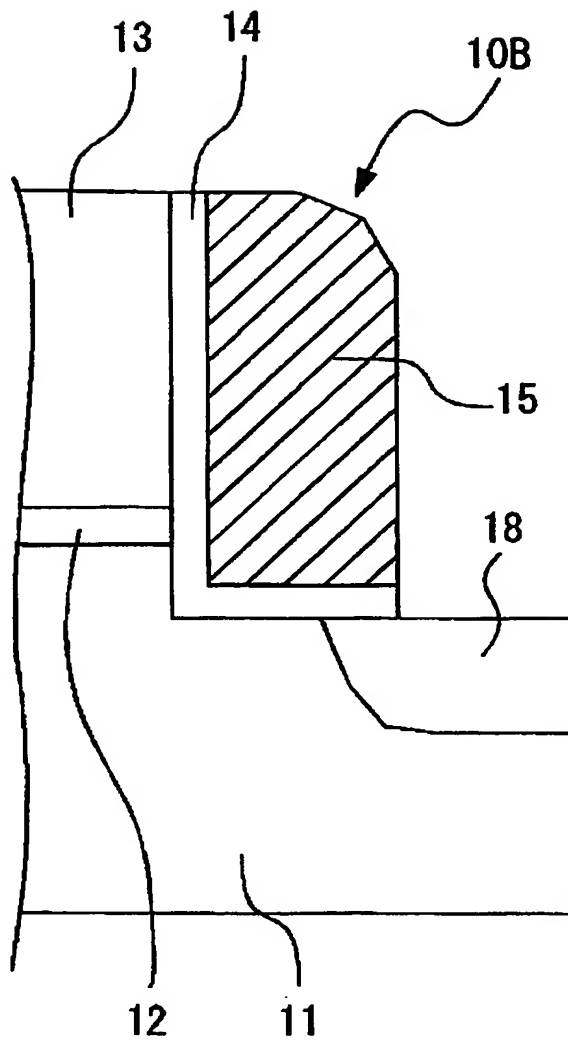
【図 2】



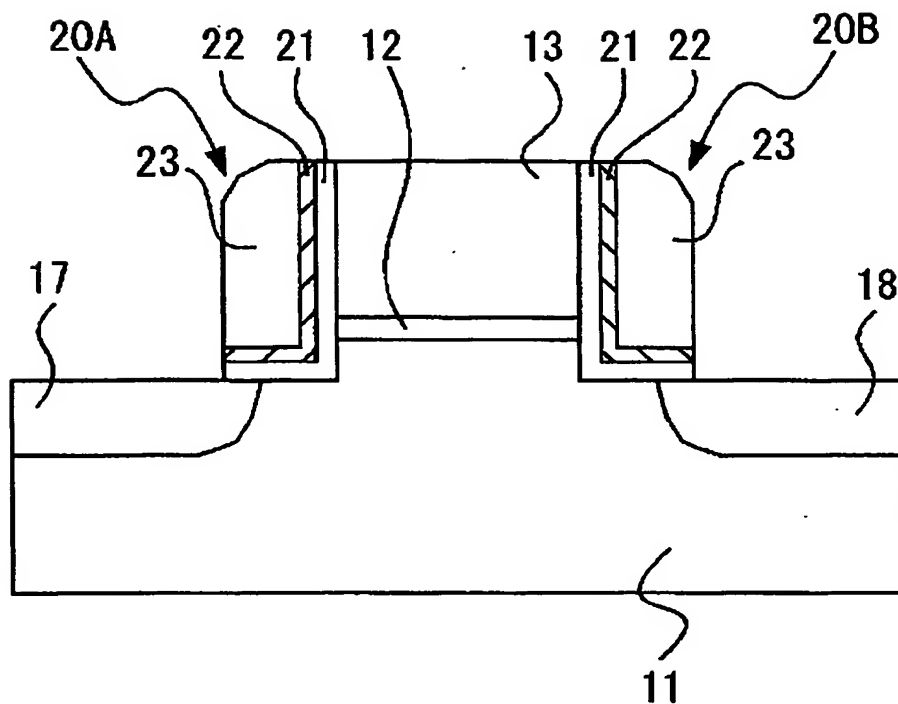
【図 3】



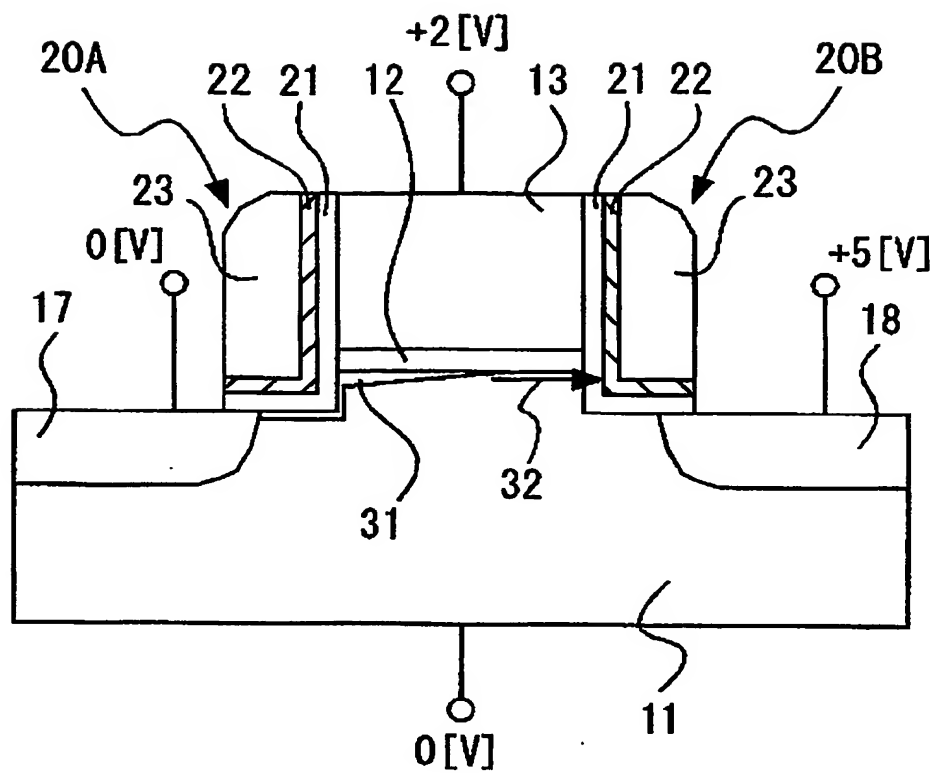
【図 4】



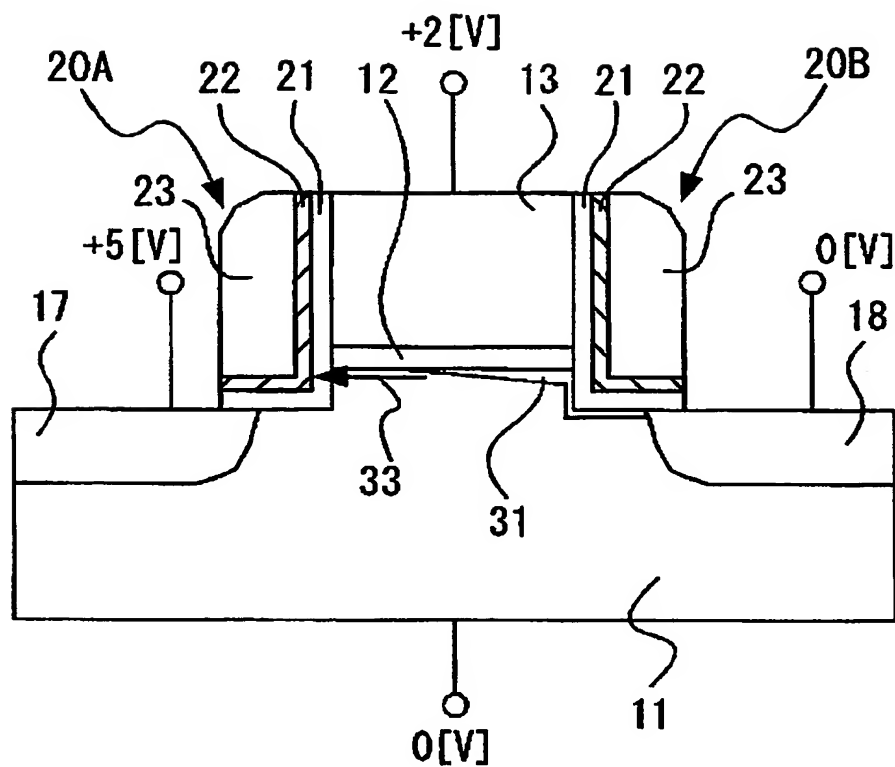
【図 5】



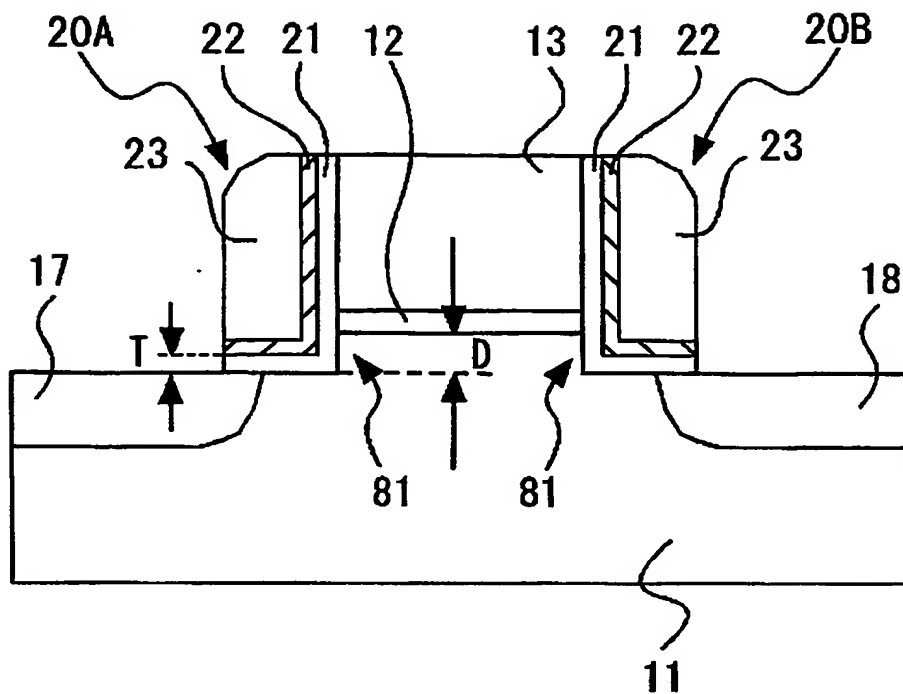
【図 7】



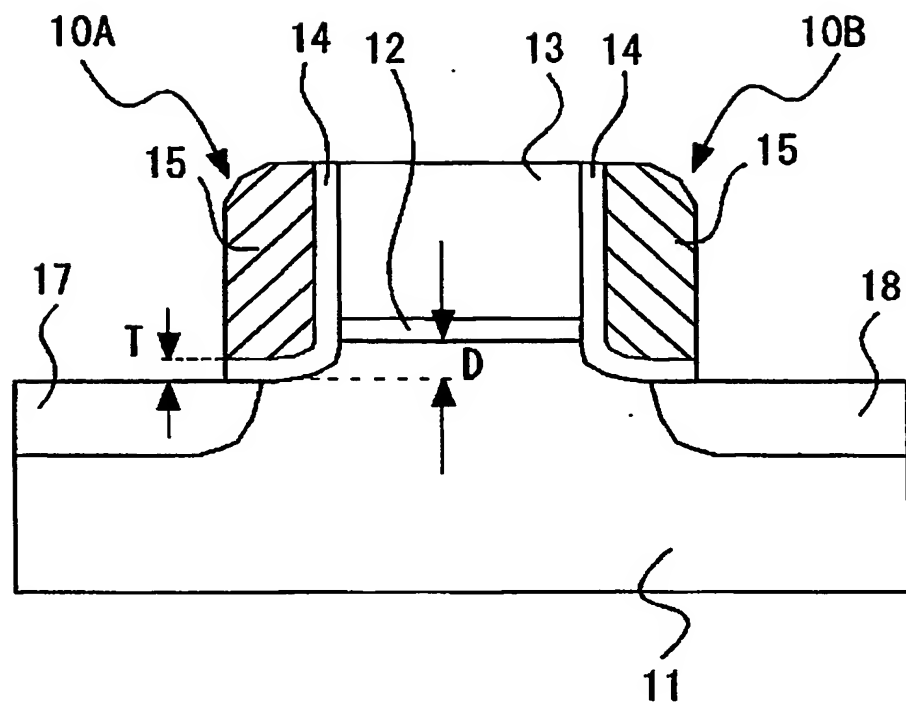
【図 8】



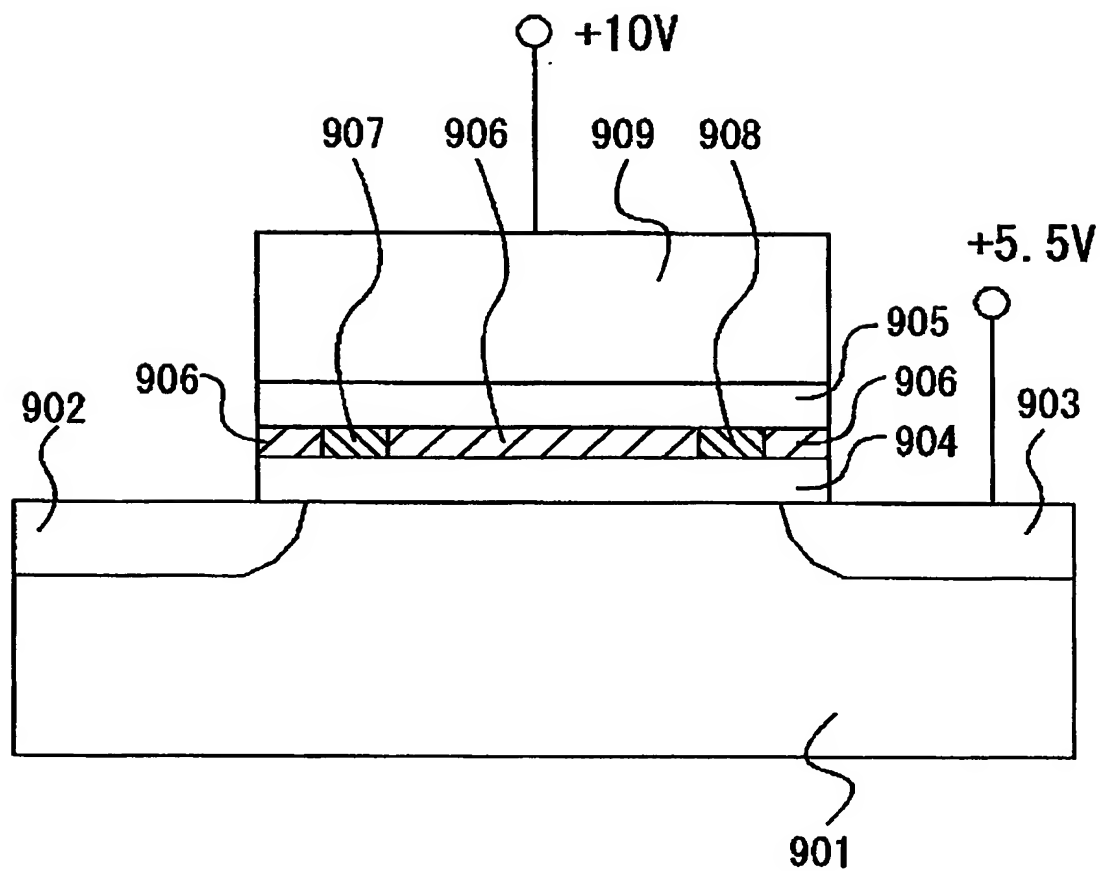
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 1つのトランジスタで2ビット以上の記憶保持動作が可能でかつ微細化が容易な半導体記憶装置を提供する。

【解決手段】 第1導電型の半導体基板11上にゲート絶縁膜12を形成し、ゲート絶縁膜12上にゲート電極13を形成する。ゲート電極13の両側に電荷保持部10A, 10Bを夫々形成し、電荷保持部10A, 10Bに対応する半導体基板11の領域に第2導電型の第1, 第2の拡散層領域17, 18を夫々形成する。そして、電荷保持部10A, 10Bは、電荷保持部10A, 10Bに保持された電荷の多寡に応じて、ゲート電極13に電圧を印加したときにチャネル領域を介して第1, 第2の拡散層領域17, 18の一方から他方に流れる電流量を変化させる。また、電荷保持部10A, 10Bの一部は、ゲート絶縁膜12とチャネル領域との界面よりも下に存する。

【選択図】 図3

特願 2002-296001

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.